

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-36356
(P2001-36356A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト [*] (参考)
H 0 3 F 3/45		H 0 3 F 3/45	Z 5 J 0 6 6
1/32		1/32	5 J 0 9 0
3/34		3/34	C 5 J 0 9 1

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21) 出願番号 特願平11-209389

(22) 出願日 平成11年7月23日 (1999.7.23)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 平林 敦志

東京都品川区北品川6丁目7番35号 ソニー株式会社内

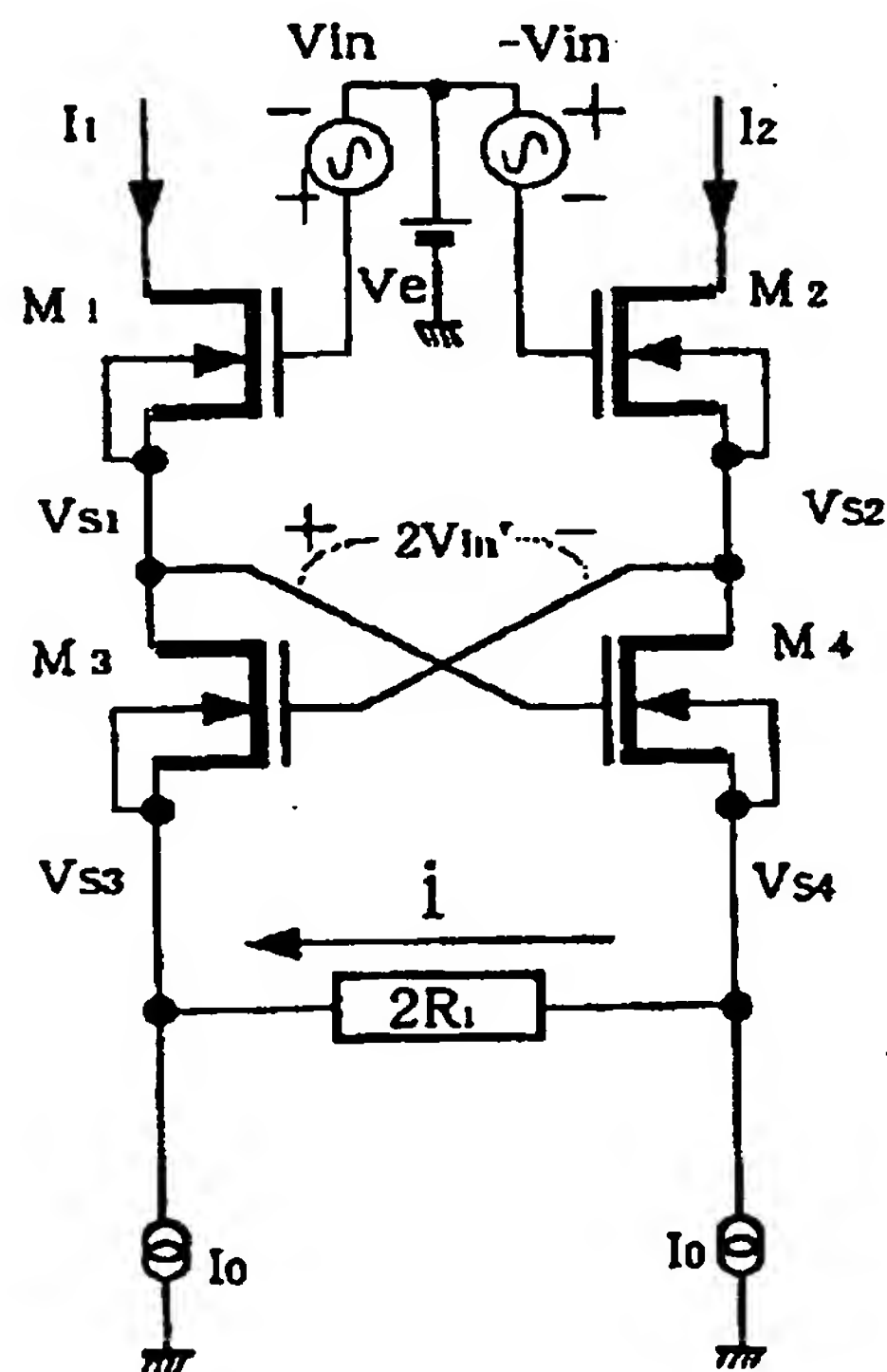
最終頁に続く

(54) 【発明の名称】 電圧-電流コンバータ回路及び高利得増幅回路

(57) 【要約】

【課題】 少ない素子数でリニアリティが改善された高利得増幅器を実現して、低消費電力化とICチップ面積の縮小を図る。

【解決手段】 MOSトランジスタM1, M2を含む第1の差動対回路と、上記MOSトランジスタ差動対回路のソース端子の各々にドレイン端子をそれぞれ接続した、MOSトランジスタM3, M4を含む第2の差動対回路と、上記第2の差動対回路のソース間に接続した抵抗素子(2R1)とを設け、MOSトランジスタM3, M4の各々のゲートを、互いに相手側のMOSトランジスタのドレインに接続し、かつ前記2つのMOSトランジスタのソースを、それぞれ、電流源I0を介して接地する。



1

【特許請求の範囲】

【請求項 1】 第 1 の MOS トランジスタ差動対回路と、前記第 1 の MOS トランジスタ差動対回路のソース端子の各々にドレイン端子をそれぞれ接続した第 2 の MOS トランジスタ差動対回路と、前記第 2 の MOS トランジスタ差動対回路のソース間に接続した抵抗素子とを有し、前記第 1 の MOS トランジスタ差動対回路のゲート端子を入力電圧端子とし、ドレイン端子を出力電流端子とする電圧-電流コンバータ回路において、

前記第 2 の MOS トランジスタ差動対回路の互いに相補的な 2 つの MOS トランジスタの各々のゲートが、互いに相手側の MOS トランジスタのドレインに接続され、かつ前記 2 つの MOS トランジスタのソースが、それぞれ、電流源を介して接地されていることを特徴とする電圧-電流コンバータ回路。

【請求項 2】 第 1 の MOS トランジスタ差動対回路と、前記第 1 の MOS トランジスタ差動対回路のソース端子の各々にドレイン端子をそれぞれ接続した第 2 の MOS トランジスタ差動対回路とを有し、前記第 1 の MOS トランジスタ差動対回路のゲート端子を入力電圧端子とし、ドレイン端子を出力電流端子とする電圧-電流コンバータ回路において、

前記第 2 の MOS トランジスタ差動対回路の互いに相補的な 2 つの MOS トランジスタの各々のゲートが、互いに相手側の MOS トランジスタのドレインに接続され、かつ前記 2 つの MOS トランジスタのソースが、それぞれ、抵抗素子を介して接地されていることを特徴とする電圧-電流コンバータ回路。

【請求項 3】 第 1 の MOS トランジスタ差動対回路と、前記第 1 の MOS トランジスタ差動対回路のソース端子の各々に第 1 の抵抗素子を介してドレイン端子をそれぞれ接続した第 2 の MOS トランジスタ差動対回路と、前記第 2 の MOS トランジスタ差動対回路のソース間に接続した第 2 の抵抗素子と、前記第 2 の MOS トランジスタ差動対回路のドレイン間に接続したインピーダンス素子とを有し、前記第 1 の MOS トランジスタ差動対回路のゲート端子を入力電圧端子とし、ドレイン端子を出力電流端子とする高利得増幅回路において、前記第 2 の MOS トランジスタ差動対回路の互いに相補的な 2 つの MOS トランジスタの各々のゲートが、互いに相手側の MOS トランジスタのドレインに接続され、かつ前記 2 つの MOS トランジスタのソースが、それぞれ、電流源を介して接地されていることを特徴とする高利得増幅回路。

【請求項 4】 第 1 の MOS トランジスタ差動対回路と、前記第 1 の MOS トランジスタ差動対回路のソース端子の各々に第 1 の抵抗素子を介してドレイン端子をそれぞれ接続した第 2 の MOS トランジスタ差動対回路と、前記第 2 の MOS トランジスタ差動対回路のドレイン間に接続したインピーダンス素子とを有し、前記第 1

2

の MOS トランジスタ差動対回路のゲート端子を入力電圧端子とし、ドレイン端子を出力電流端子とする高利得増幅回路において、

前記第 2 の MOS トランジスタ差動対回路の互いに相補的な 2 つの MOS トランジスタの各々のゲートが、互いに相手側の MOS トランジスタのドレインに接続され、かつ前記 2 つの MOS トランジスタのソースが、それぞれ、第 2 の抵抗素子を介して接地されていることを特徴とする高利得増幅回路。

10 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電圧-電流コンバータ回路及び高利得増幅回路に関し、特に、リニアリティ (Linearity)、すなわち直線性を改善した高利得増幅回路を、MOS トランジスタ差動対回路を使用して実現する電圧-電流コンバータ回路及び高利得増幅回路に関する。

【0002】

【従来の技術】従来、通信装置やデータ記録装置の高度化と共に、増幅器の高利得化とリニアリティの改善が要求されている。

【0003】図 5 は、従来の MOS トランジスタ差動対回路を含む電圧-電流コンバータ回路の回路構成を示す回路図である。図 5 に示す従来の MOS トランジスタ差動対回路を含む電圧-電流コンバータ回路においては、そのドレイン電流 I_1 , I_2 は、後述する (1) 式で与えられる。

【0004】従って、従来の電圧-電流コンバータ回路は、その電圧-電流変換比を示す動作特性グラフは、リニアリティの良い範囲が非常に狭くなっていた。このため、従来は、必要とされるリニアリティを確保する手段として、MOS トランジスタ差動対のソース間に抵抗を挿入し、ダイナミックレンジを広げる方法が考えられている。

【0005】しかし、上記の従来方法では、その副作用として、アンプのコンダクタンスおよびゲインを下げてしまう弊害がある。このため、さらに、MOS トランジスタ差動対のソース間に抵抗を挿入せずにリニアリティを稼ぐ方法が従来から様々に提案されてきた。

【0006】図 6 は、従来のリニアリティ改善を意図した MOS トランジスタ差動対回路を含む電圧-電流コンバータ回路の回路構成を示す回路図である。図 6 に示す回路では、カレントミラー回路を用いて、出力電流 $i = I_1 - I_2$ を実現し、出力電流を入力電圧に正確に比例させることを可能にしている。

【0007】

【発明が解決しようとする課題】しかし、従来の技術では、例えば、図 6 に示す電圧-電流コンバータ回路からも分かるように、回路要素として、N-MOS と P-MOS とを併用するため、電源電圧を高くしておく必要が

ある。さらに、その出力はシングル出力であるので、出力電流が他の回路への漏れ込む原因となり、回路動作に対して著しい妨害を与えてしまう結果となる。

【0008】上記の例からも分かるように、従来のMOSトランジスタ差動対回路による電圧-電流コンバータは、リニアリティを確保しようとする高い利得が取れず、また、差動出力で構成できないために出力電流が他の回路や回路要素へリークする。よって、従来は、MOSトランジスタによる高周波リニア回路への応用が進んでいなかった。

【0009】本発明は、以上のような従来の電圧-電流コンバータ回路における問題点に鑑みてなされたものであり、少ない素子数でリニアリティが改善された高利得増幅器を実現して、低消費電力化とICチップ面積の縮小を図ることができる電圧-電流コンバータ回路及び高利得増幅回路を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明では上記課題を解決するために、第1のMOSトランジスタ差動対回路と、前記第1のMOSトランジスタ差動対回路のソース端子の各々にドレイン端子をそれぞれ接続した第2のMOSトランジスタ差動対回路と、前記第2のMOSトランジスタ差動対回路のソース間に接続した抵抗素子とを有し、前記第1のMOSトランジスタ差動対回路のゲート端子を入力電圧端子とし、ドレイン端子を出力電流端子とする電圧-電流コンバータ回路において、前記第2のMOSトランジスタ差動対回路の互いに相補的な2つのMOSトランジスタの各々のゲートが、互いに相手側のMOSトランジスタのドレインに接続され、かつ前記2つのMOSトランジスタのソースが、それぞれ、電流源を介して接地されていることを特徴とする電圧-電流コンバータ回路が提供される。

【0011】また、本発明では上記課題を解決するために、第1のMOSトランジスタ差動対回路と、前記第1のMOSトランジスタ差動対回路のソース端子の各々にドレイン端子をそれぞれ接続した第2のMOSトランジスタ差動対回路とを有し、前記第1のMOSトランジスタ差動対回路のゲート端子を入力電圧端子とし、ドレイン端子を出力電流端子とする電圧-電流コンバータ回路において、前記第2のMOSトランジスタ差動対回路の互いに相補的な2つのMOSトランジスタの各々のゲートが、互いに相手側のMOSトランジスタのドレインに接続され、かつ前記2つのMOSトランジスタのソースが、それぞれ、抵抗素子を介して接地されていることを特徴とする電圧-電流コンバータ回路が提供される。

【0012】また、本発明では上記課題を解決するために、第1のMOSトランジスタ差動対回路と、前記第1のMOSトランジスタ差動対回路のソース端子の各々に第1の抵抗素子を介してドレイン端子をそれぞれ接続した第2のMOSトランジスタ差動対回路と、前記第2の

MOSトランジスタ差動対回路のソース間に接続した第2の抵抗素子と、前記第2のMOSトランジスタ差動対回路のドレイン間に接続したインピーダンス素子とを有し、前記第1のMOSトランジスタ差動対回路のゲート端子を入力電圧端子とし、ドレイン端子を出力電流端子とする高利得増幅回路において、前記第2のMOSトランジスタ差動対回路の互いに相補的な2つのMOSトランジスタの各々のゲートが、互いに相手側のMOSトランジスタのドレインに接続され、かつ前記2つのMOSトランジスタのソースが、それぞれ、電流源を介して接地されていることを特徴とする高利得増幅回路が提供される。

【0013】さらに、本発明では上記課題を解決するために、第1のMOSトランジスタ差動対回路と、前記第1のMOSトランジスタ差動対回路のソース端子の各々に第1の抵抗素子を介してドレイン端子をそれぞれ接続した第2のMOSトランジスタ差動対回路と、前記第2のMOSトランジスタ差動対回路のドレイン間に接続したインピーダンス素子とを有し、前記第1のMOSトランジスタ差動対回路のゲート端子を入力電圧端子とし、ドレイン端子を出力電流端子とする高利得増幅回路において、前記第2のMOSトランジスタ差動対回路の互いに相補的な2つのMOSトランジスタの各々のゲートが、互いに相手側のMOSトランジスタのドレインに接続され、かつ前記2つのMOSトランジスタのソースが、それぞれ、第2の抵抗素子を介して接地されていることを特徴とする高利得増幅回路が提供される。

【0014】すなわち本発明は、まず、従属に接続された第1のMOSトランジスタ差動対回路と第2のMOSトランジスタ差動対回路との2組のMOSトランジスタ差動対回路を有し、上記第2のMOSトランジスタ差動対回路の各々のゲートを、互いに相手側のトランジスタのドレインに接続し、また、上記第2のMOSトランジスタ差動対回路のソース間に抵抗を接続し、差動信号入力を上記第1のMOSトランジスタ差動対回路のゲート間に入力し、出力電流をドレイン端子から取り出す電圧-電流コンバータ回路と、その等価回路を提供する。

【0015】次に、従属に接続された第1のMOSトランジスタ差動対回路と第2のMOSトランジスタ差動対回路との2組のMOSトランジスタ差動対回路のうち、上記第1のMOSトランジスタ差動対回路のソースと上記第2のMOSトランジスタ差動対回路のドレインとの間に、それぞれ第1の抵抗を接続し、また、上記第1のMOSトランジスタ差動対回路に対して上記第2のMOSトランジスタ差動対回路のコンダクタンスが負性コンダクタンスとして帰還されるように、上記第2のMOSトランジスタ差動対回路の各々のゲートを、互いに相手側のトランジスタのドレインに接続した負性インピーダンス帰還回路を設け、また、上記第2のMOSトランジスタ差動対回路のソース間に第2の抵抗を接続し、差動

信号入力を上記第1のMOSトランジスタ差動対回路のゲート間に入力した高利得増幅回路、及びその等価回路を提供する。

【0016】上記の高利得増幅回路においては、コンダクタンスと、該コンダクタンスと大きさが等しくて極性が逆であるコンダクタンスとが互いに相殺することにより、従来に比して非常に大きなコンダクタンスを作り出すことを可能にしており、これにより低消費電力の高利得増幅回路を実現している。

【0017】従って、従来に比して少ない素子数で目的の高利得を得ることが可能となり、回路のSN比などの性能を向上させることができる。また、上記の正極性のコンダクタンスと負極性のコンダクタンスとの比を適度にするにより、従来に比して少ない素子数で良好なリニアリティを有する電圧-電流コンバータ回路を実現することができる。

【0018】さらに、その構成はシングルチャネルのみの構成であるため、PチャネルとNチャネルとのマッチングを考慮する必要がなく、その分だけ回路のバラツキ要因が減ることになり、設計の自由度が向上すると共に、低電圧動作に有利である。

【0019】結果として、低電圧動作に十分に対応可能であり、少ない素子数でリニアリティの良好な高利得増幅回路を実現することが可能となり、しかも、低消費電力、ICチップ面積の縮小が期待できるので、ICコスト、製造コストの大幅な削減が可能である。

【0020】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。図1は、本発明の実施の形態に係る電圧-電流コンバータ回路の回路構成を示す回路図である。

【0021】本実施の形態に係る電圧-電流コンバータ回路は、第1のMOSトランジスタ差動対回路（以下、「MOS差動対」と略称する）に含まれるMOSトランジスタM1、M2と、第2のMOS差動対をなすMOSトランジスタM3、M4と、上記の第2のMOS差動対のソース間に接続した抵抗（2R1）を有する。

【0022】MOSトランジスタM1、M2のゲートには、それぞれVin、-Vinが入力電圧として印加される。MOSトランジスタM1のソースは、MOSトランジスタM3のドレインに接続され、MOSトランジスタM2のソースは、MOSトランジスタM4のドレインに接続される。また、MOSトランジスタM3のゲートは、MOSトランジスタM4のドレインに接続され、MOSトランジスタM4のゲートは、MOSトランジスタM3のドレインに接続される。

【0023】抵抗（2R1）は、MOSトランジスタM3、M4のソース間に接続される。MOSトランジスタM3のソースは、直流電流源I0を介して接地され、MOSトランジスタM4のソースも、同じく電流源I0を

介して接地される。

【0024】以下、本実施の形態に係る電圧-電流コンバータ回路の動作を説明する。今、MOSトランジスタM1、M2、M3、M4のドレイン電流係数、及び、しきい値はすべて等しく、それぞれM、Vthであるものとする。また、しきい値Vthが等しくなるようにするため、全てのMOSトランジスタのバックゲートは、そのMOSトランジスタ自身のソースに接続する。

【0025】一般に、飽和領域におけるドレイン電流は、トランジスタのドレイン電流のピンチオフ電圧以降のVdsの増加に伴った上昇率（すなわち飽和領域におけるドレイン電流のアーリー係数）を λ とおいて、後述する（2）式に示すように、MOSトランジスタM1、M3のゲートとソース間電圧Vgsの2乗となり、このことがMOSトランジスタの線形動作の最大の障害となっている。

【0026】上記のドレイン電流は、Vgsの2乗に比例するため、これをどうにかしてVgsの1次に比例する式に変換することがリニアリティの改善につながることは明らかである。

【0027】そこで、まず、着目されるのは、後述する（3）式に示すような公式である。共通ソースを有するMOS差動対において、後述する（3）式に示すような公式を応用し、 $X=V_e+V_{in}$ 、 $Y=V_e-V_{in}$ とおいて、さらに共通ソースの電位をVsとおくこととする。同時に、MOSトランジスタのしきい値をVthとおいた（2）式を用いて（3）式に代入すると、後述する（4）式に示すように、ドレイン電流I1とI2との差は、vinの1次の関数として表現されることが分かる。

【0028】従って、ドレイン電流I1とI2との差(I1-I2)を回路的に作り出せばよいわけである。従来、これを実現するためには、前述の図6に示すように、カレントミラー回路が用いられてきた。

【0029】前述の図6からも分かるように、カレントミラー回路を用いる方式では、N-MOSとP-MOSとを併用する必要があり、その出力はシングルとなるので、電源電圧の増加を促し、しかも、入力信号を差動信号のまま扱えないので、周波数の増加と共にクロストークなど回路全体に与える悪影響の要因となっていた。

【0030】しかしながら、回路のリニアリティを向上するという点に関しては、ドレイン電流I1とI2との差を作り出す方法は、一つの有効な手段であるため、これを他の方法で実現したものが図1に示す回路である。

【0031】後述するように、全てのトランジスタの、ドレイン電流のピンチオフ電圧以降のVdsの増加に伴った上昇率（すなわち飽和領域におけるドレイン電流のアーリー係数）を λ とおき、さらに、トランジスタ以外への漏れ電流がないと考えて、順次に式を解くと、結果として、（7）式に示されるように、 $V_{in}=i \times R1$ となることが分かる。従って、MOSトランジスタM1、M2、

M3, M4 及び抵抗 (2R1) から構成される差動型の V-I コンバータ回路の出力電流は、(8) 式に示すように、入力電圧 Vin に比例した線形特性を持つ。従って、ここに、リニアリティの改善を実現した電圧-電流コンバータ回路が、N-MOS トランジスタのみを使用して実現できることが示された。

【0032】図2は、本発明の実施の形態に係る電圧-電流コンバータ回路の他の回路構成を示す回路図である。図2に示すように、MOS トランジスタ M3, M4 のソースを、抵抗 R1 を通して、それぞれ接地してもよい。なお、上記の抵抗 R1 は、上記の抵抗 (2R1) の半分の抵抗値とすることができる。

【0033】図2に示す電圧-電流コンバータ回路は、図1に示す電圧-電流コンバータ回路の等価回路である。なお、本実施の形態に係る電圧-電流コンバータ回路は、便宜上、N-MOS のみで構成したが、これは P-MOS のみでも全く同じように構成できることは自明である。その意味から、本回路は、今後、Single-Channel MOS (S-MOS) と呼称されるべきである。また、本実施の形態に係る電圧-電流コンバータ回路の動作特性の解明に使用する後述の各数式においては、MOS トランジスタの飽和領域におけるドレイン電流の MOS トランジスタ以外への漏れがない場合、トランジスタ M1, M3 を流れる電流は等しく、その場合ゲートとソース間電圧である Vgs は等しいと仮定しているが、該仮定は、MOS トランジスタ M2, M4 についても同様である。

【0034】図3は、本発明の実施の形態に係る電圧-電流コンバータ回路を含む高利得増幅回路の回路構成を示す回路図である。本発明の実施の形態に係る高利得増幅回路は、図1に示すリニアリティ改善を実現した電圧-電流コンバータ回路の MOS トランジスタ M1 のソースと M3 のドレインとの間に抵抗 R2 を追加挿入し、同様に、MOS トランジスタ M2 のソースと MOS トランジスタ M4 のドレインとの間にも抵抗 R2 を挿入し、MOS トランジスタ M3, M4 のドレイン間にあるインピーダンス (2Z) を接続した回路構成を含む。

【0035】MOS トランジスタ M3, M4 のゲートの戻りと、ソースの接地に関しては、図1に示す電圧-電流コンバータ回路と全く同一である。すべてのトランジ

$$\begin{aligned} I_{1d} &= I_0 + M/2 \times \sqrt{\{2I_0 \times \lambda / M - (V_{in} \times \lambda / 2)^2\}} \times V_{in}, \\ I_{2d} &= I_0 - M/2 \times \sqrt{\{2I_0 \times \lambda / M - (V_{in} \times \lambda / 2)^2\}} \times V_{in} \dots \dots \dots (1) \end{aligned}$$

飽和領域におけるドレイン電流 Id の一般式は、下記の (2) 式で与えられる。

$$I_d = M/2 \times (V_{gs} - V_{th})^2 \times \lambda \dots \dots \dots (2)$$

今、X=Ve+Vin, Y=Ve-Vin とし、Vs を共通ソース電位とし、I1 を $I_1 = M/2 \times (V_e + V_{in} - V_s - V_{th})^2 \times \lambda$ とし、I2 を $I_2 = M/2 \times (V_e - V_{in} - V_s - V_{th})^2 \times \lambda$ とし、下記の (3) 式で示す公式を援用して、(I1-I2) を計算すると、下記の (4)

$$X^2 - Y^2 = (X+Y)(X-Y) \dots \dots \dots (3)$$

スタのドレイン電流のピンチオフ電圧以降の Vds の増加に伴った上昇率を λ とおき、さらに、MOS トランジスタ以外への漏れ電流がないと考えると、MOS トランジスタ M1, M3 を流れる電流は等しく、その場合、ゲートとソース間電圧 Vgs は等しいと考え、これは MOS トランジスタ M2, M4 についても同様であると考えて、後述するように数式を順次に導くと、最終的には、出力 V0 は、式 (9) に示す値を取る。

【0036】この時、 $(1/gm1 + R1) = K \times (1/gm2 + R2)$ とおき、該数式で、R1 と R2 および、gm1 と gm2 とが限り無く接近した値であれば K=1 となり、その出力はインピーダンス Z と $(1/gm2 + R2)$ との比となり、仮にインピーダンス Z が開放状態であれば非常に大きな値となることが分かる。しかし、ここで一つだけ条件をつける必要がある。その条件は K>1 である。仮にインピーダンス (2Z) が容量性である場合、回路のラッチアップの原因となるからである。以上に示したように、出力は入力に比例した線形動作特性を示し、S-MOS のみで実現されることが分かる。

【0037】図4は、本発明の実施の形態に係る電圧-電流コンバータ回路を含む高利得増幅回路の回路構成を示す回路図である。図4に示すように、MOS トランジスタ M3, M4 のソースを、抵抗 R1 を通して、それぞれ接地してもよい。なお、上記の抵抗 R1 は、上記の抵抗 (2R1) の半分の抵抗値とすることができる。

【0038】図4に示す高利得増幅回路は、図3に示す高利得増幅回路の等価回路である。なお、本実施の形態に係る高利得増幅回路は、便宜上、N-MOS のみで構成したが、これは P-MOS のみでも全く同じように構成できることは自明である。

【0039】(数式に係る説明) 以下、本実施の形態に係る電圧-電流コンバータ回路の動作特性を、下記の一連の数式を参照して説明する。

【0040】まず、図5に示す、従来の MOS 差動対回路を含む電圧-電流コンバータ回路において、Id をドレイン電流、M をドレイン電流係数、λ を飽和領域におけるドレイン電流のアーリー係数とすると、下記の (1) 式が成立する。

【0041】

【数1】

【0042】

【数2】

式を得る。

【0043】

【数3】

【0044】

$$(I1-I2)=2M \times \lambda \times (Ve-Vs-Vth) \times Vin \dots \dots \dots (4)$$

次に、図1に示す本実施の形態に係る電圧-電流コンバータ回路において、M1とM3とを流れる電流は等しく、これをI1とおき、M2とM4とを流れる電流は等しく、これをI2とおくことにする。

【0045】さらに、トランジスタM4のG-S間電圧をVgs4とおき、トランジスタM3のG-S間電圧をVgs3

$$2Vin' = \sqrt{(2I2/M/\lambda) + Vth} + i \times 2R1 - \sqrt{(2I1/M/\lambda) + Vth} = \sqrt{(2/M/\lambda)} \times (\sqrt{I2} - \sqrt{I1}) + i \times 2R1 \dots \dots \dots (5)$$

さらに、図1に示す電圧-電流コンバータ回路において、トランジスタM1のG-S間電圧をVgs1、トランジスタM2のG-S間電圧をVgs2と置いた場合、下記の

$$\begin{aligned} 2Vin &= Vgs1 + 2Vin' - Vgs2 \\ &= \sqrt{(2I1/M/\lambda) + Vth} + 2Vin' - \sqrt{(2I2/M/\lambda) + Vth} \\ &= \sqrt{(2I1/M/\lambda) + Vth} + 2Vin' - \sqrt{(2I2/M/\lambda) + Vth} \\ &= -\sqrt{(2/M/\lambda)} \times (\sqrt{I2} - \sqrt{I1}) + 2Vin' \dots \dots \dots (6) \end{aligned}$$

上記の数式(5)、(6)より、 $2Vin = -2Vin' + i \times 2R1 + 2Vin'$ となる。

【0048】故に、下記の(7)式が成立する。

$$\begin{aligned} Vin &= i \times R1, \\ i &= Vin/R1 \dots \dots \dots (7) \end{aligned}$$

故に、 $I1 = I0 - i$ 、 $I2 = I0 + i$ であるから、下記の(8)式を得る。

$$\begin{aligned} I1 &= I0 - Vin/R1, \\ I2 &= I0 + Vin/R1 \dots \dots \dots (8) \end{aligned}$$

図3に示す高利得増幅回路において、 $(Vin - V0)/(1/gm2 + R2) = V0/Z - V0/(1/gm1 + R1)$ である。

【0051】故に、最終的に、下記の(9)式を得る。

$$V0/Vin = Z/[1/gm + R2 + Z(1-1/K)] \dots \dots \dots (9)$$

但し、(9)式を得るに際して、トランジスタM1、M3のコンダクタンスを等しくgm2とし、トランジスタM2、M4のコンダクタンスを等しくgm2としている。また、 $gm = gm1 = gm2$ 、 $R1 = R2 = R$ であるとし、さらに、Kの定義として、 $1/gm1 + R1 = K \times (1/gm2 + R2)$ であるとしている。

【0053】従って、(9)式から、回路のラッチアップを防ぐための条件は、 $K > 1$ であることが分かる。

【0054】

【発明の効果】以上説明した本発明によれば、従来、P-MOSとN-MOSの2つのChannelの組み合わせによって実現していた高利得獲得とリニアリティの改善が、Single-Channelで実現できることになり、トランジスタの特性のバラツキの中でも最も手に負えないChannel間のバラツキを考慮せずに済むため、差動入力、差動出力を有する高利得増幅回路を実現することが可能となり、従来のように、徒に、帰還を用いて回路のバランスを保つような工夫を施す必要が無くなる。

【0055】また、N-ChannelあるいはP-Channelの1-Channelのみの構成によるため、低電源電圧環境での動作に適している。また、電流コンダクタンスを相殺する方

【数4】

とおくと、 $2Vin' = Vgs4 + i \times 2R1 - Vgs3$ が成立する。しかるに、上記の数式(2)より、 $Vgs4 = \sqrt{(2I2/M/\lambda) + Vth}$ 、 $Vgs3 = \sqrt{(2I1/M/\lambda) + Vth}$ であるから、下記の(5)式が成立する。

【0046】

【数5】

(6)式が成立する。

【0047】

【数6】

【0049】

【数7】

【0050】

【数8】

【0052】

【数9】

式の採用により、アンプのゲインを従来に比して飛躍的に上げることが可能となる。

【0056】また、従来に比して少ない素子数と少ないアンプの段数で目的のゲインを達成できるため、SN比など回路の性能が大幅に向上すると共に低消費電力となる。また、差動入力の差動出力で回路を構成できることは、同時に、SN比などの回路特性をさらに大幅に向上させることになる。

【0057】上記の利点を纏めると、商品の性能向上、製造コストの削減、回路の基板面積縮小などの効用をもたらす。また、従来実現できなかったような高利得アンプを作り出すことにより、その応用範囲が広がり、例えば、リミッタAMP、PLL、AM-DET、FM-DET、FILTER、AGC-AMPなどに利用可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る電圧-電流コンバータ回路の回路構成を示す回路図である。

【図2】本発明の実施の形態に係る電圧-電流コンバータ回路の他の回路構成を示す回路図である。

20

40

50

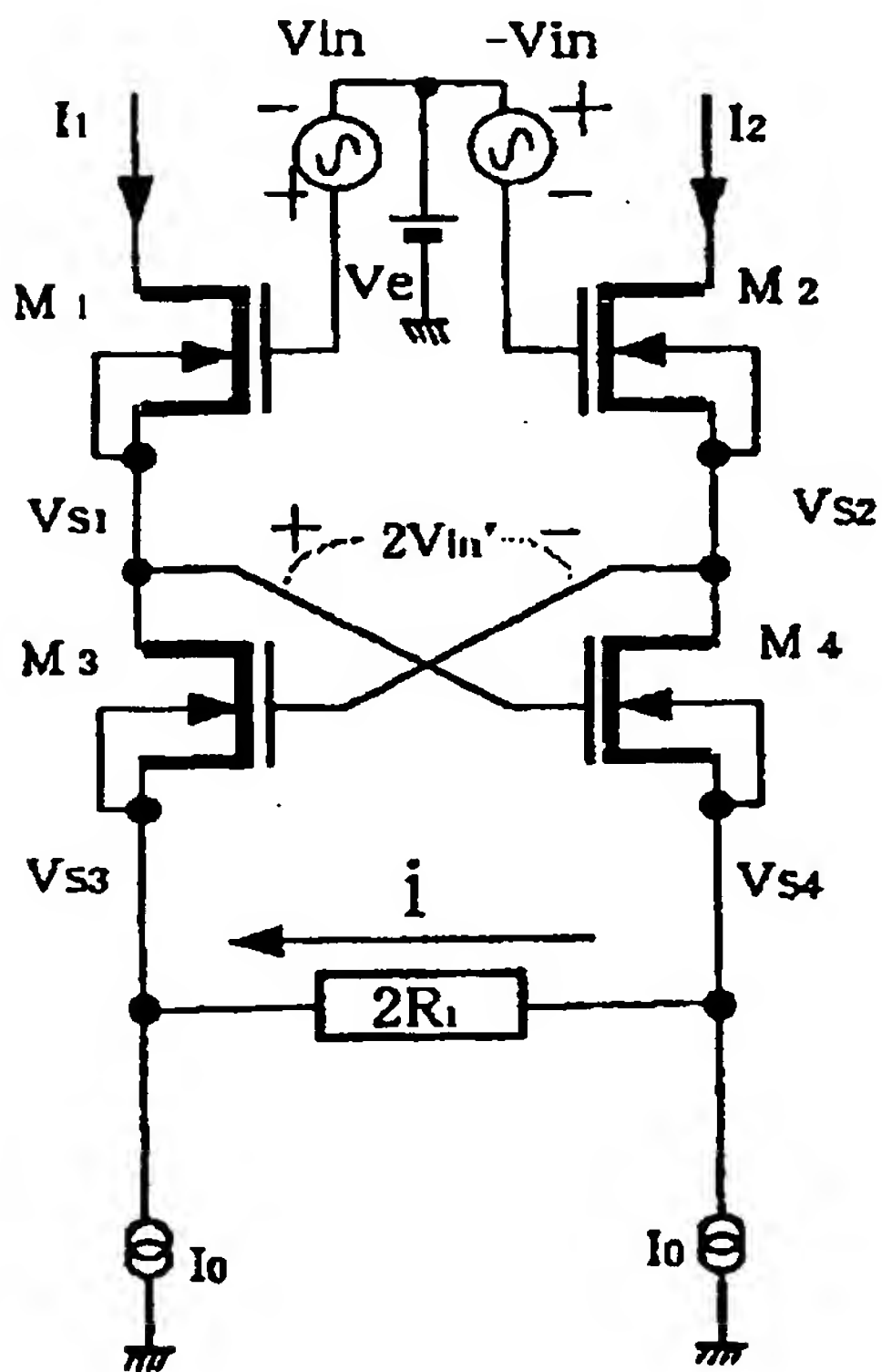
11

【図3】本発明の実施の形態に係る電圧-電流コンバータ回路を含む高利得増幅回路の回路構成を示す回路図である。

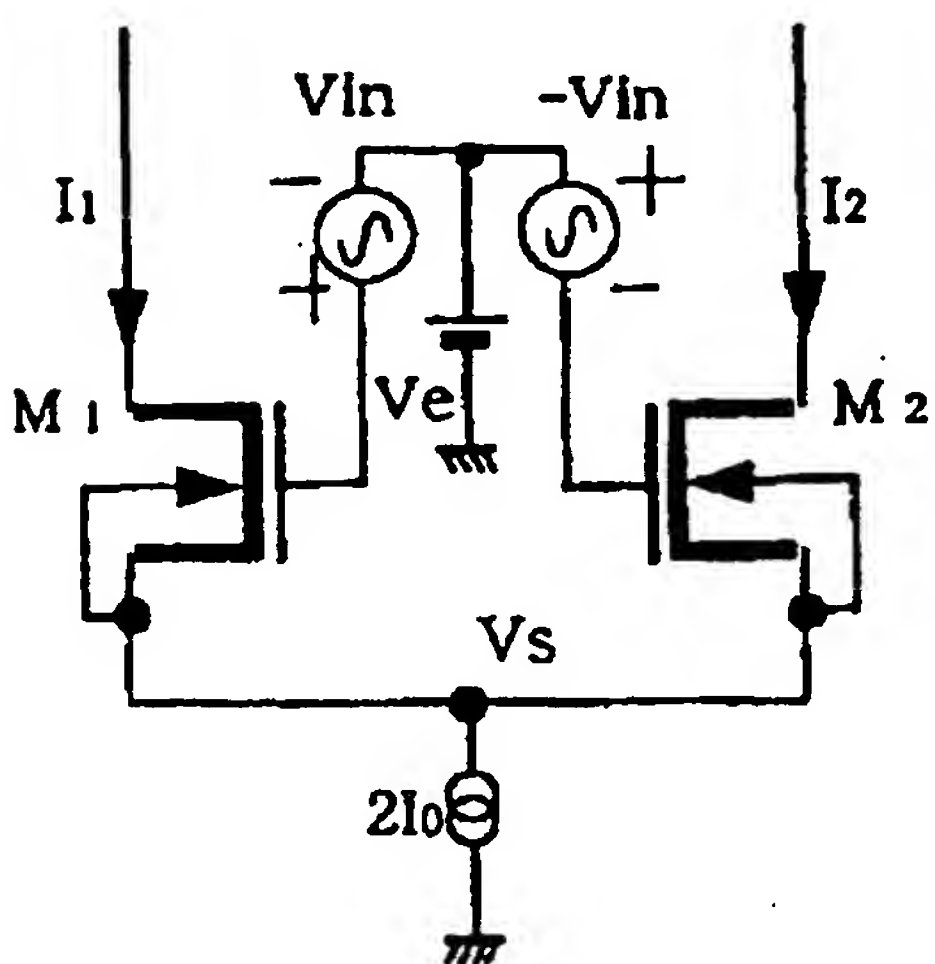
【図4】本発明の実施の形態に係る電圧-電流コンバータ回路を含む高利得増幅回路の回路構成を示す回路図である。

【図5】従来のMOSトランジスタ差動対回路を含む電圧-電流コンバータ回路の回路構成を示す回路図である。

【図1】



【図5】



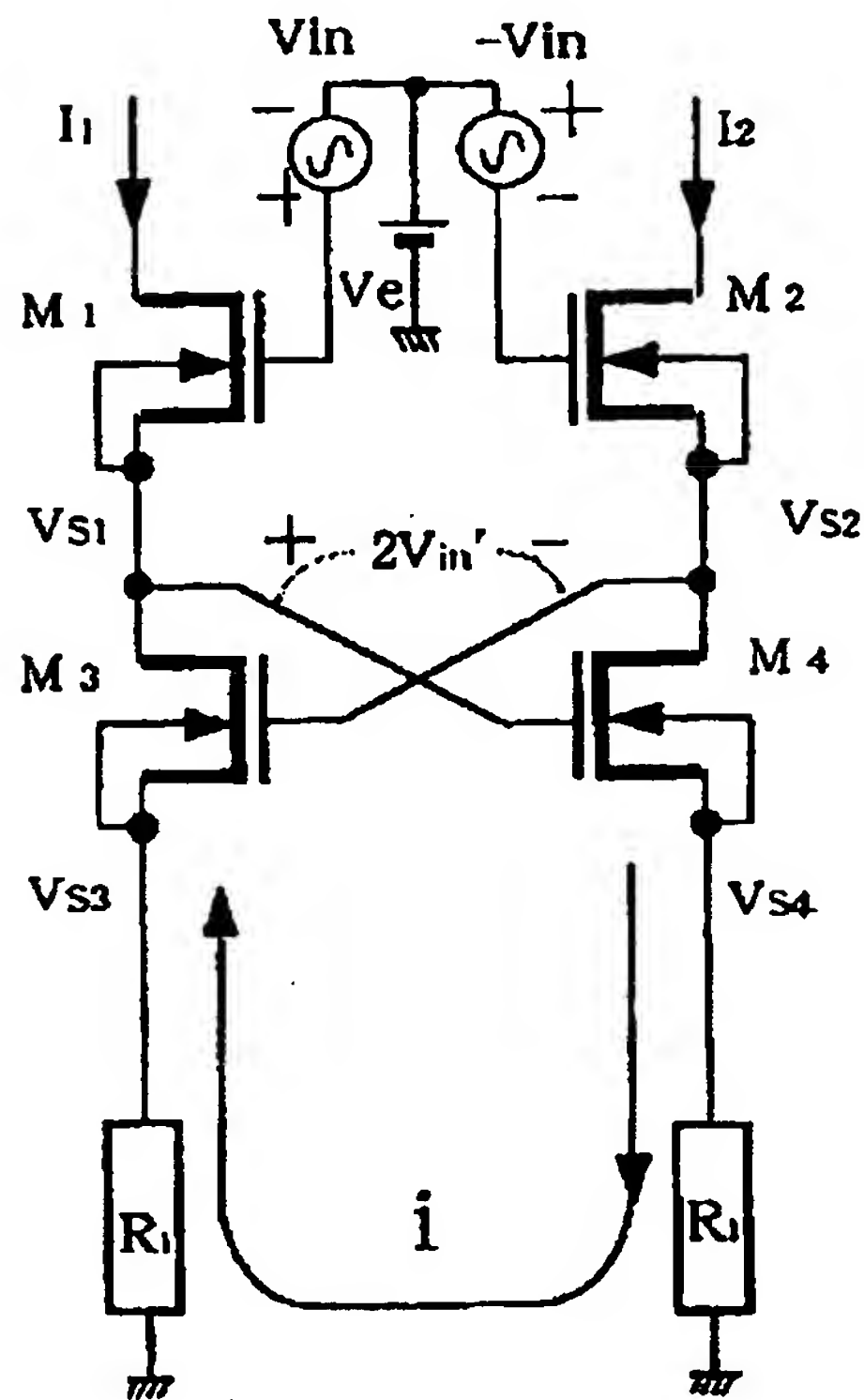
12

【図6】従来のリニアリティ改善を意図したMOSトランジスタ差動対回路を含む電圧-電流コンバータ回路の回路構成を示す回路図である。

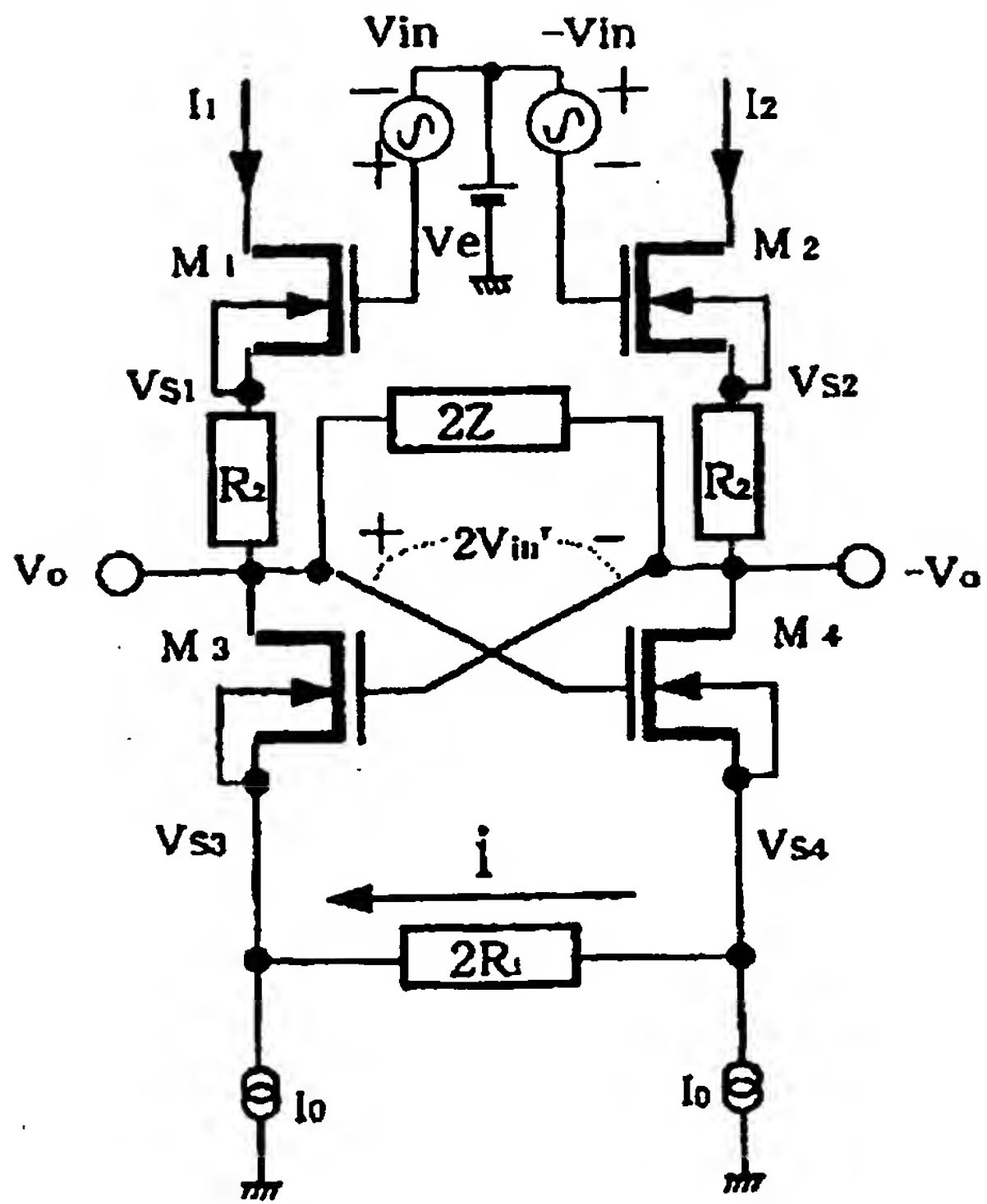
【符号の説明】

I_0 ……電流源、 I_1, I_2 ……出力電流（ドレイン電流）、 M_1, M_2, M_3, M_4 ……MOSトランジスタ、 V_{in}, V_{in} ……入力電圧、 $R_2, 2R_1$ ……抵抗、 $2Z$ ……インピーダンス

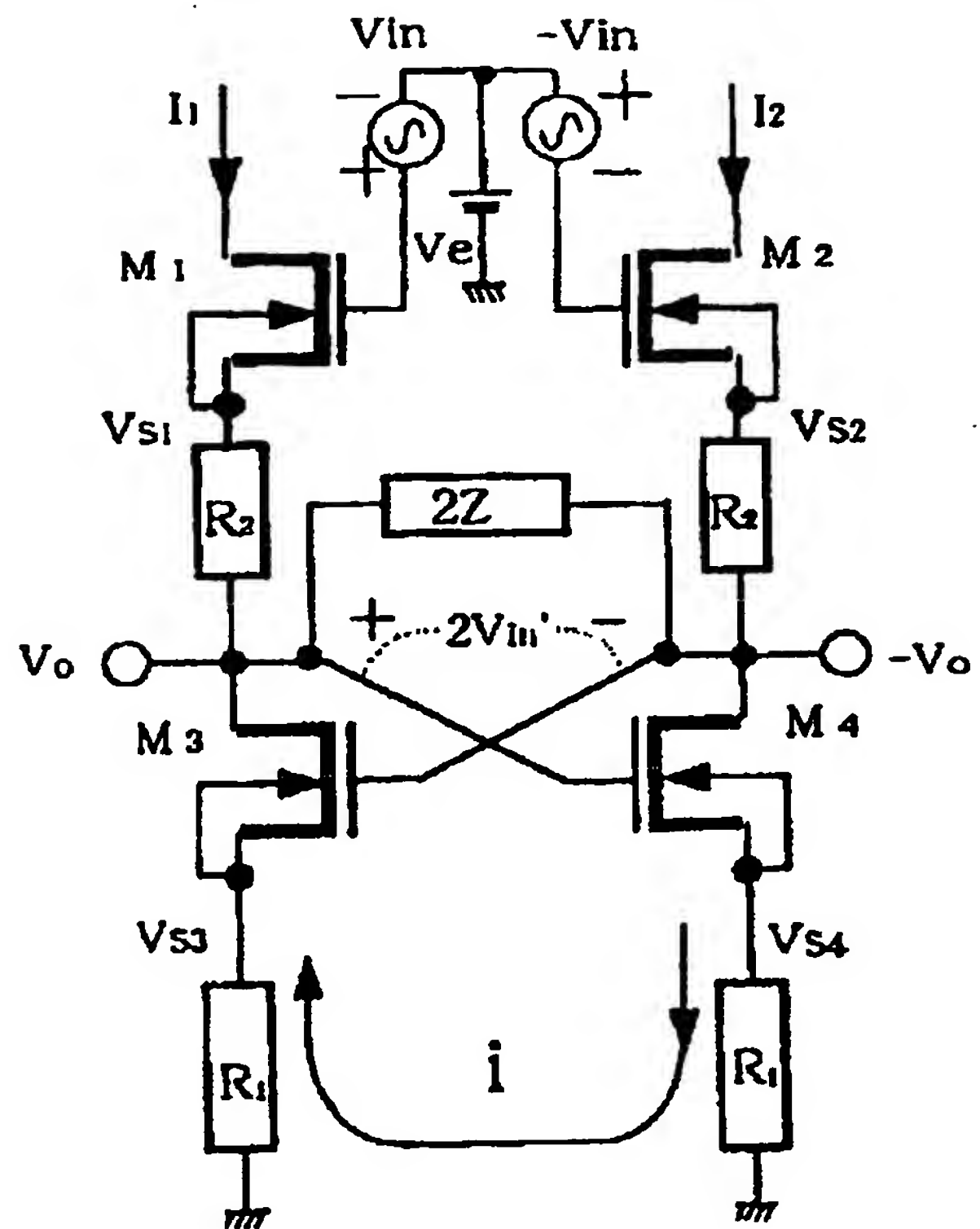
【図2】



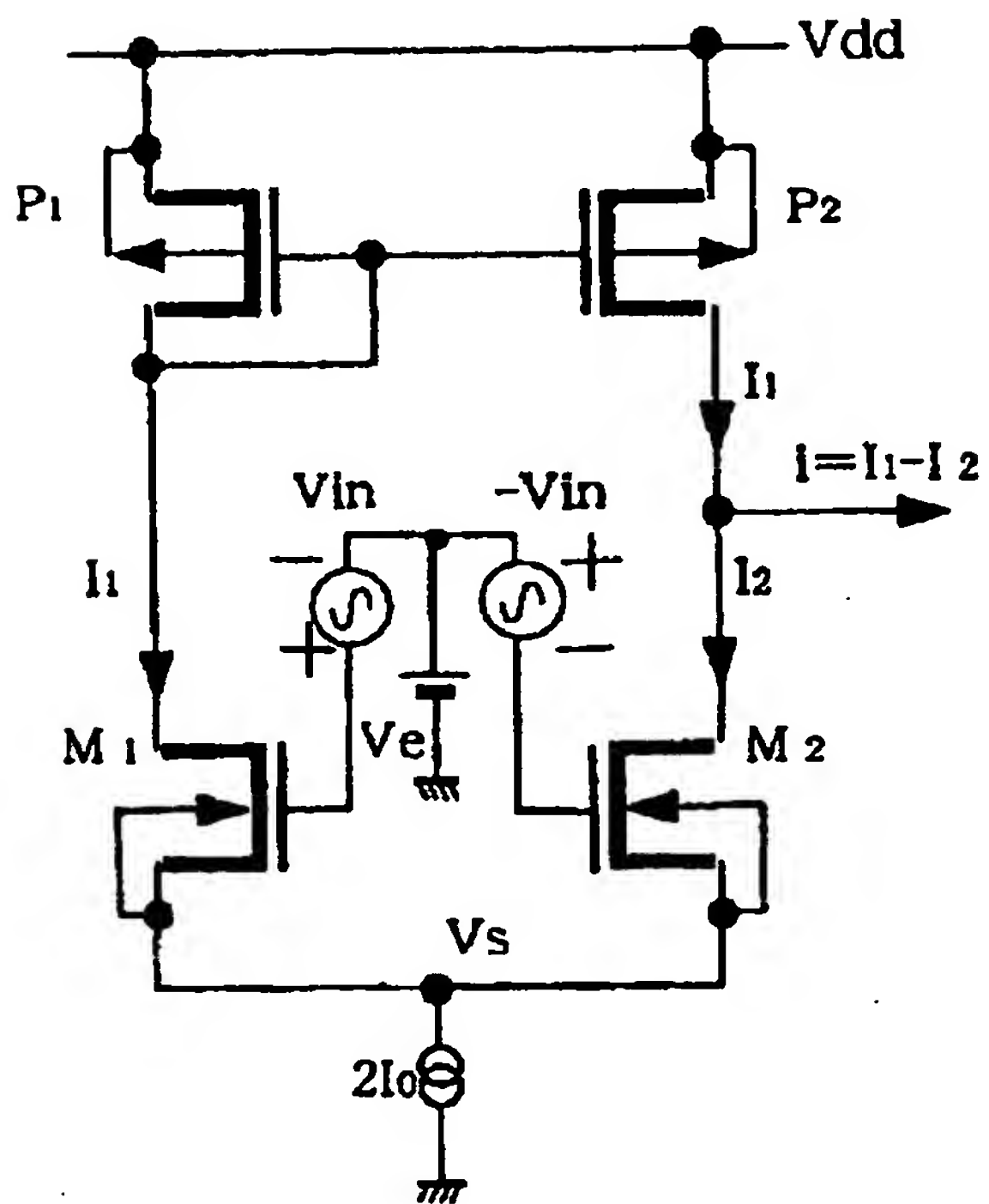
【図3】



【図4】



【図6】



フロントページの続き

F ターム(参考) 5J066 AA01 AA12 CA21 CA36 CA92
FA08 HA10 HA17 HA25 KA05
KA09 KA17 MA00 MA21 ND01
ND11 PD02
5J090 AA01 AA12 CA21 CA36 CA92
FA08 GN02 HA10 HA17 HA25
KA05 KA09 KA17 MA00 MA21
5J091 AA00 AA12 CA21 CA36 CA92
FA08 HA10 HA17 HA25 KA05
KA09 KA17 MA00 MA21